

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189887

(43)Date of publication of application : 21.07.1998

(51)Int.Cl. H01L 27/10
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 08-349666

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 27.12.1996

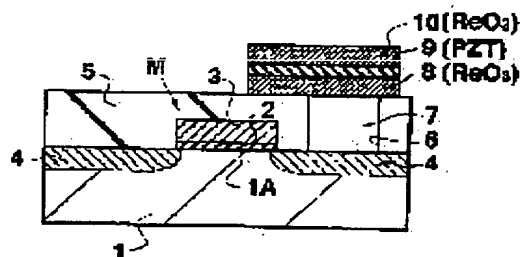
(72)Inventor : KANEDA KAZUHIRO

(54) ELECTORDE FOR FERROELECTRIC BODY AND FERROELECTRIC DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electrode for a ferroelectric body, in which film fatigue caused by the repetitively alternate polarization of a ferroelectric body can be reduced, and residual polarization the ferroelectric body can be prevented from being reduced and to provide a non-volatile memory device which can be improved in data write characteristic and attaining lower power consumption.

SOLUTION: A ferroelectric electorde (a lower electorde 8 or an upper electorde 10) which is laminated on a ferroelectric body 9 for the formation of a laminated structure has substantially the same crystal structure as the ferroelectric body 9 and is formed of an electrically conductive oxide. Specifically, the ferroelectric electrode is formed of ReO_3 , which is of crystal structure where a hole is located at an A-site, and metal ion, enter in the hole of ReO_3 from the ferroelectric body.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

[WHAT IS CLAIMED IS:]

[Claim 1] An electrode for ferroelectric, forming a laminated structure with a ferroelectric having a perovskite crystal structure,

which is formed from an oxide having substantially the same crystal structure as the perovskite crystal structure of said ferroelectric and having a conductive property.

[Claim 2] The electrode for ferroelectric as set forth in Claim 1,

having a crystal structure having a void at the A site position of an ABO_3 crystal structure.

[Claim 3] The electrode for ferroelectric as set forth in Claim 1,

being formed of ReO_3 in the polycrystalline state or monocrystalline state.

[Claim 4] A ferroelectric device equipped with an element, comprising:

a ferroelectric having a perovskite crystal structure; and
an electrode for ferroelectric, formed from an oxide having substantially the same crystal structure as the perovskite crystal structure of said ferroelectric and having a conductive property;

said element being formed from said electrode for ferroelectric,

the ferroelectric laminated on said electrode for ferroelectric, and an electrode laminated on said ferroelectric.

[Claim 5] The ferroelectric device as set forth in Claim 4, having an element wherein said electrode for ferroelectric, ferroelectric, and electrode for ferroelectric are laminated successively.

[Claim 6] The ferroelectric device as set forth in Claim 4 or Claim 5,

wherein a ferroelectric, selected from the group consisting of PZT, PbTiO_3 , and BaTiO_3 , or a layer dielectric, selected from the group consisting of $\text{SrBi}_2\text{Ta}_2\text{O}_9$ and $\text{Bi}_4\text{Ti}_3\text{O}_{12}$, is used as said ferroelectric, and ReO_3 in the polycrystalline state or monocrystalline state is used in said electrode for ferroelectric.

[Claim 7] The ferroelectric device as set forth in Claim 6, wherein said element is a capacitor element used as an information storage part.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[Field of the Art] This invention relates to an electrode for ferroelectric and a ferroelectric device using the electrode for ferroelectric. In particular, this invention relates to an electrode for ferroelectric, which forms a laminated

structure with a ferroelectric used for an information storage part of a non-volatile memory element, and a ferroelectric device, equipped with a non-volatile memory element that is formed by laminating the abovementioned ferroelectric and electrode for ferroelectric.

[0002]

[Prior Arts and Themes Thereof] Non-volatile memory devices, which make use of a ferroelectric in an information storage part of non-volatile memory element, are being developed. As a representative non-volatile memory element, a non-volatile memory element that employs an FeRAM (Ferroelectric Random Access Memory) structure is known.

[0003] A non-volatile memory element employing an FeRAM structure is formed as a one-transistor/one-capacitor structure formed by a series circuit of a switching element and a capacitor element that comprises the information storage part. The abovementioned switching element is equipped with a channel forming region, an insulator (gate insulator), a control electrode (gate electrode), and a pair of semiconductor regions to be used as source and drain regions. The capacitor element is equipped with a lower electrode, ferroelectric, and upper electrode, and this lower electrode, ferroelectric, and upper electrode are respectively laminated successively.

[0004] The ferroelectric of the abovementioned capacitor element is characterized in having a residual polarization and not losing the stored contents even when the power is turned off. Furthermore, since low voltage operation can be realized by the employment of the ferroelectric, the making of the non-volatile memory element low in consumption power can be promoted. Generally, a PZT (lead zirconium titanate: $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$) is used as the ferroelectric.

[0005] A single-layer thin film of Pt or a composite thin film, formed by laminating Pt and Ti, is used especially for the lower electrode that becomes the underlying film for the ferroelectric of the abovementioned capacitor element. This electrode material Pt is deposited onto the surface of an SiO_2 thin film that is used as an Si substrate (semiconductor substrate) or an interlayer insulator film. In the case where Pt is deposited by sputtering in a manufacturing process, Pt tends to take on a (111) orientation. Since a ferroelectric that is formed on a Pt with a (111) orientation will be oriented readily and since an oriented ferroelectric has a large residual polarization, the information writing characteristics can be improved. Furthermore, since Pt is a noble metal and basically does not become oxidized, a paraelectric comprising an oxide of Pt, will not form between the ferroelectric and the lower

electrode. That is, Pt has the characteristic that a paraelectric that decreases the essential capacitance of the entire capacitor element will not form at the interface between the ferroelectric and the lower electrode.

[0006]

[Object(s) of the Invention] The excellent characteristics given above are provided when a single-layer thin film of Pt or a composite thin film containing Pt is used as the lower electrode of a capacitor element in a non-volatile memory element that is equipped in a non-volatile memory. However, film fatigue, with which the magnitude of the residual polarization of the ferroelectric decreases, occurs when the information rewriting operation is repeated and polarization reversal of the ferroelectric is repeated. The present inventor theorizes that film fatigue is caused by the precipitation of unwanted substances on the Pt surface at the interface between the ferroelectric and the lower electrode as a result of the electric field that is repeatedly applied across the electrodes of the capacitor element. The Pb ion, which is a constituent of the ferroelectric, the Si ion, which is a constituent of the Si substrate and SiO₂ thin film, the O ion of the SiO₂ thin film, and compounds made up by such ions are considered as the unwanted substances that precipitate on

the surface of the Pt surface. The information writing characteristics of a capacitor element thus degrades with time.

[0007] This invention has been made to resolve the above-described problem.

[0008] That is, an object of this invention is to provide an electrode for ferroelectric with which the occurrence of film fatigue due to repeated polarization reversal of a ferroelectric can be reduced and the reduction of the residual polarization of the ferroelectric can be prevented.

[0009] Furthermore, an object of this invention is to provide a non-volatile memory, which uses an electrode for ferroelectric in the capacitor element of a non-volatile memory element and with which low power consumption can be realized while improving the information writing characteristics.

[0010]

[Outline of the Invention] In order to achieve the above objects, the first aspect of the invention provides in an electrode for ferroelectric, forming a laminated structure with a ferroelectric having a perovskite crystal structure, an electrode for ferroelectric characterized in being formed from an oxide, having substantially the same crystal structure as the perovskite crystal structure of the abovementioned ferroelectric and having a conductive property.

[0011] With the first aspect of the invention, since the electrode for ferroelectric is formed from an oxide and oxygen exists in a stable state in the oxide, there will be no precipitation of oxygen on the surface of the electrode for ferroelectric near the interface with the ferroelectric. Since the formation of paraelectrics (unwanted substances) due to the precipitation of oxygen will therefore not occur, the film fatigue that occurs due to repeated polarization reversal of the ferroelectric will be reduced and effective reduction of the residual polarization of the ferroelectric can be prevented. Furthermore, since the abovementioned electrode for ferroelectric is formed from substantially the same crystal structure as the perovskite crystal structure of the ferroelectric, crystal growth can be performed with the crystallinity of a underlying layer being maintained both when crystal growth of the ferroelectric on the electrode for ferroelectric is performed and when crystal growth of the electrode for ferroelectric on the ferroelectric is performed.

[0012] The second aspect of the invention provides the electrode for ferroelectric as set forth in the first claim, having a crystal structure having a void at the A site position of an ABO_3 crystal structure.

[0013] With the second aspect of the invention, since the

crystal structure of the abovementioned electrode for ferroelectric is formed not as a perfect perovskite crystal structure but as a crystal structure having a void at the A site position of an ABO_3 crystal structure, a metal atom of a crystal unit at the very surface at the electrode for ferroelectric side of the ferroelectric will enter into the void of a crystal unit positioned at the very surface at the ferroelectric side of the electrode for ferroelectric. In the case where PZT is used as the ferroelectric, the Pb atom of PZT will enter into the void of the crystal unit. Since the electrode for ferroelectric and the ferroelectric will thus be bonded atomically, the bonding strength between the electrode for ferroelectric and the ferroelectric can be improved. Furthermore, since the electrode for ferroelectric and the ferroelectric will be bonded atomically and crystallinity information will be transmitted from the electrode for ferroelectric to the ferroelectric or, oppositely, from the ferroelectric to the electrode for ferroelectric, crystal growth of perovskite crystal structure and substantially the same crystal structure as a perovskite crystal structure will be readily carried out mutually.

[0014] The third aspect of the invention provides the electrode for ferroelectric as set forth in the first claim,

formed of ReO_3 in the polycrystalline state or monocrystalline state.

[0015] With the third aspect of the invention, since the electrode for ferroelectric is formed of ReO_3 and ReO_3 has a low resistance value of approximately $10^{-5} \Omega \text{cm}$ at room temperature, the signal transmission speed can be made high.

[0016] The fourth aspect of the invention provides a ferroelectric device, equipped with an element comprising a ferroelectric having a perovskite crystal structure, and an electrode for ferroelectric, formed from an oxide having substantially the same crystal structure as the perovskite crystal structure of the abovementioned ferroelectric and having a conductive property, and being formed from the abovementioned electrode for ferroelectric, the ferroelectric laminated on the abovementioned electrode for ferroelectric, and an electrode laminated on the abovementioned ferroelectric.

[0017] With the fourth aspect of the invention, in addition to providing the actions and effects of the electrode for ferroelectric of the first claim, the film fatigue of the ferroelectric in the abovementioned element can be reduced and the residual polarization can be increased. In particular, with a capacitor element, wherein a ferroelectric is interposed between an electrode for ferroelectric and an electrode, since

the residual polarization will be large, the information writing characteristics can be improved and since adequate information can be written at a low information write voltage, a low consumption power can be realized.

[0018] The fifth aspect of the invention provides the ferroelectric device as set forth in the fourth claim equipped with an element wherein the abovementioned electrode for ferroelectric, ferroelectric, and electrode for ferroelectric are laminated successively.

[0019] The sixth aspect of the invention provides the ferroelectric device as set forth in the fourth or fifth claim, wherein a ferroelectric, selected from the group consisting of PZT, PbTiO_3 , and BaTiO_3 , or a layer dielectric, selected from the group consisting of $\text{SrBi}_2\text{Ta}_2\text{O}_9$ and $\text{Bi}_4\text{Ti}_3\text{O}_{12}$, is used as the abovementioned ferroelectric, and ReO_3 in the polycrystalline state or monocrystalline state is used in the abovementioned electrode for ferroelectric.

[0020] The seventh aspect of the invention provides the ferroelectric device as set forth in the sixth claim, wherein the abovementioned element is a capacitor element that is used as an information storage part.

[0021]

[Preferred Embodiment(s) of the Invention] An embodiment

of this invention shall now be described. Fig. 1 is a sectional structural diagram of a non-volatile memory according to an embodiment of this invention that is equipped with a non-volatile memory element (memory cell), which employs an FeRAM structure. The non-volatile memory is formed from a substrate 1 and non-volatile memory element M is formed on the principal plane of substrate 1. With the present embodiment, a monocrystalline Si substrate is used as substrate 1, and this Si substrate is arranged as a p-type substrate into which a p-type impurity has been introduced. Non-volatile memory element M is formed to have a one-transistor/one-capacitor structure formed from a series circuit of a switching element (switching transistor) and a capacitor element. The capacitor element functions as an information storage part.

[0022] The switching element of the non-volatile memory element M is equipped with a channel forming region 1A, gate insulator 2, control electrode (gate electrode) 3, and a pair of semiconductor regions 4 that are used as source and drain regions.

[0023] Channel forming region 1A is formed at a part of substrate 1 in the vicinity of the principal plane. Gate insulator 2 is formed at least on the surface of channel forming region 1A. Gate insulator 2 is formed for example from an SiO₂

thin film.

[0024] Control electrode 3 is formed on the surface of gate insulator 2. Control electrode 3 is formed as a monolayer film, for example, a polycrystalline Si thin film, silicide thin film, or high-melting-point metal thin film, or as a composite film, wherein a silicide thin film or a high-melting-point metal thin film is laminated on a polycrystalline Si thin film. That is, control electrode 3 is formed from a so-called gate material. Though not illustrated, control electrode 3 is formed from the same gate material as a word line that extends in the same direction as the channel width direction and is electrically connected to this word line.

[0025] The pair of semiconductor regions 4, used as source and drain regions, are formed on principal plane parts of substrate 1 at the respective sides in the channel length direction of control electrode 3. Each semiconductor region 4 is arranged as an n-type into which an n-type impurity has been introduced. That is, the switching element is formed as an n-channel conductive transistor (MISFET : Metal Insulator Field Effect Transistor).

[0026] An interlayer insulator film 5, which separates the above-described switching element and the capacitor element electrically, is formed on the switching element. With the

present embodiment, interlayer insulator film 5 is formed as either a monolayer SiO_2 film or a monolayer Si_3N_4 film or a composite film combining an SiO_2 film and an Si_3N_4 film. A connection hole 6 is formed in the interlayer insulator film 5 above one semiconductor region 4 of the above-described switching element. A connection hole wiring 7, which electrically connects the one semiconductor region 4 with a lower electrode 8 of the capacitor element, is formed inside connection hole 6. Connection hole wiring 7 is formed from a high-melting-point metal with a low resistance value or a material having such a high-melting-point metal as the main component, for example, W, TiW, WSi_2 , TiN, etc. A polycrystalline Si film, which has been doped with P and made low in resistance, may also be used for connection hole wiring 7.

[0027] Also, though not illustrated, a data line (bit line) is electrically connected to the other semiconductor region 4 of the switching element.

[0028] The abovementioned capacitor element is arranged to have a laminated structure wherein each of lower electrode 8, ferroelectric 9, and upper electrode 10 is laminated successively.

[0029] Lower electrode 8 of the capacitor element is formed

on the surface of interlayer insulator film 5, and this lower electrode 8 is electrically connected to the one semiconductor region 4 of the switching element via connection hole wiring 7. With the present embodiment, lower electrode 8 is formed as an electrode for ferroelectric, and an ReO_3 thin film is used as this electrode for ferroelectric. This ReO_3 is an oxide that is conductive and contains oxygen atoms in a stable state.

[0030] Re_2O_7 and ReO_2 are known as oxides that are similar to ReO_3 . Though Re_2O_7 has the crystal structure with the most oxygen atoms, Re_2O_7 is an insulator and cannot be used as an electrode material. Though ReO_2 is conductive, ReO_2 is large in resistance in comparison to ReO_3 and is not suited for making the signal transmission speed high. ReO_3 has a low resistance value of $10^{-5}\Omega\text{cm}$, which is comparable to the resistance value of $10^{-6}\Omega\text{cm}$ of Al-Cu wiring used as wiring material in semiconductor devices. Also, as shall be described below, the crystal structure of ReO_3 is one that is similar to a perovskite crystal structure, and since the crystal structure of ReO_2 is a rutile crystal structure, the respective crystal structures of ReO_2 and ReO_3 differ fundamentally.

[0031] Fig. 2 is a crystal structure diagram showing a single crystal unit of ReO_3 , which is used for the abovementioned lower electrode 8 that is an electrode for ferroelectric. ReO_3 has

an ABO_3 crystal structure, wherein a void exists at the A site position and a hexavalent, positive Re ion exists at the B site position. The greatest characteristics of this ReO_3 are that a void occupies the A site position, an oxygen octahedron is formed by the six oxygen atoms that surround the Re ion, and the crystal structure is substantially the same as a perovskite crystal structure, which is the crystal structure of ferroelectric 9 to be described below. Though lower electrode 8 is basically formed in the monocrystalline state, it may also be formed in the polycrystalline state.

[0032] The ferroelectric 9 of the abovementioned capacitor element is formed on the surface of lower electrode (electrode for ferroelectric) 8. With the present embodiment, a PZT thin film or a PbTiO_3 thin film is used for ferroelectric 9.

[0033] Fig. 3 is a crystal structure diagram, which shows a single crystal unit of PbTiO_3 , which is used for ferroelectric 9. PbTiO_3 is an ion crystal, wherein a bivalent, positive Pb ion exists at the A site and a tetravalent, positive Ti ion exists at the B site. The greatest characteristic of this PbTiO_3 is that it has a perovskite crystal structure having an oxygen octahedron surrounding the Ti ion. Residual polarization (spontaneous polarization) occurs as a result of the shifting of an A site or B site from a lattice point, and the magnitude

of the residual polarization differs according to the type of ion. In the case of PbTiO_3 , the ferroelectric 9 has a high residual polarization of approximately $50\mu\text{C}/\text{cm}^2$ at room temperature. With the present embodiment, ferroelectric 9 is basically formed in the monocrystalline state. However, ferroelectric 9 may also be formed in the polycrystalline state.

[0034] Fig. 4 is a crystal structure diagram, which shows the condition of lamination between the lower electrode 8 and ferroelectric 9. At an ReO_3 crystal unit positioned at the very end of the ferroelectric 9 side of lower electrode 8, the Pb ion of a PbTiO_3 crystal unit positioned at the very end of the lower electrode 8 side of ferroelectric 9 enters inside the void existing at the A site position. That is, the crystal unit of ReO_3 and the crystal unit of PbTiO_3 are bonded to each other by the mutual sharing of the Pb ion of PbTiO_3 at the A site. The adhesive force between lower electrode 8 and ferroelectric 9 is thus strong.

[0035] Furthermore, the PbTiO_3 , which is the ferroelectric 9, has a perovskite crystal structure, and though ReO_3 has a void at the A site position, it has an oxygen octahedron and thus substantially the same crystal structure as PbTiO_3 . Continuous crystal growth of PbTiO_3 on the surface of ReO_3 can thus be performed by MOCVD (Metalorganic CVD).

[0036] Furthermore, the lattice constant in the a-axis direction of a crystal unit of PbTiO_3 is 3.9\AA , the lattice constant in the a-axis direction of a crystal unit of ReO_3 is 3.7\AA , and since these lattice constants are similar, crystal growth of PbTiO_3 can be carried out in accordance to the crystallinity of ReO_3 . Moreover, since the lattice constants in the a-axis direction are mutually similar, a crystal unit of PbTiO_3 that has been grown on the surface of ReO_3 tends to undergo c-axis orientation readily in the direction that matches the direction of the field E that is applied between lower electrode 8 and upper electrode 10. When a crystal unit of PbTiO_3 undergoes c-axis orientation in the direction that matches the direction of the field E, a large residual polarization can be obtained.

[0037] Furthermore, since at the interface part between lower electrode 8 and ferroelectric 9, a Pb ion that exists at the A site position of PbTiO_3 enters inside a void existing at the A site position of ReO_3 , the information on the crystal structure of ReO_3 is transmitted to the crystal structure of PbTiO_3 and crystal growth of PbTiO_3 in accordance to the crystallinity of ReO_3 can thus be performed on the surface of ReO_3 .

[0038] The upper electrode 10 of the capacitor element is

formed on the surface of ferroelectric 9. With the present embodiment, upper electrode 10 is formed, as is lower electrode 8, from ReO_3 , which serves as an electrode for ferroelectric. Crystal growth of ReO_3 on the surface of PbTiO_3 can be performed by sputtering in the same manner as in the case where crystal growth of PbTiO_3 is performed on the surface of ReO_3 . Since upper electrode 10 will basically not be an underlying layer for crystal growth of ferroelectric 9, there is no need to form it as an electrode for ferroelectric, that is, from ReO_3 .

[0039] The following actions and effects are provided by a non-volatile memory equipped with a non-volatile memory element M with the above-described arrangement.

[0040] (1) Since in the capacitor element of non-volatile memory element M, at least the lower electrode 8 is formed from an oxide, which has substantially the same crystal structure as a perovskite crystal structure and has conductivity, to thereby serve as an electrode for ferroelectric, and since oxygen exists in a stable state in this oxide, there will be no precipitation of oxygen on the surface of lower electrode 8 near the interface with ferroelectric 9. Since the formation of paraelectrics (unwanted substances) on the interface due to the precipitation of oxygen will therefore not occur, the film fatigue that occurs due to repeated polarization reversal

of the ferroelectric 9 will be reduced and effective reduction of the residual polarization of the ferroelectric 9 can be prevented. Furthermore, since the lower electrode 8 is formed from substantially the same crystal structure as the perovskite crystal structure of ferroelectric 9, crystal growth with the crystallinity of the underlying layer being maintained can be performed when crystal growth of ferroelectric 9 on the surface of lower electrode 8 is performed. In the case where upper electrode 10 is formed from the same material as lower electrode 8, crystal growth of upper electrode (electrode for ferroelectric) 10 on the surface of ferroelectric 9 can be performed with the crystallinity of the underlying layer being maintained.

[0041] (2) By at least the lower electrode 8 of the above-described capacitor element being formed as a crystal structure having a void at the A site position of an ABO_3 crystal structure, a metal atom of a crystal unit at the very surface at the lower electrode 8 side of ferroelectric 9 will enter into the void of a crystal unit positioned at the very surface at the ferroelectric 9 side of lower electrode 8. Since lower electrode 8 and ferroelectric 9 will thus be bonded atomically, the bonding strength between lower electrode 8 and ferroelectric 9 can be improved. Furthermore, since lower electrode 8 and

ferroelectric 9 will be bonded atomically and crystallinity information will be transmitted from lower electrode 8 to ferroelectric 9, continuous crystal growth of perovskite crystal structure and substantially the same crystal structure as a perovskite crystal structure will be readily carried out mutually.

[0042] (3) The signal transmission speed can be made high by the forming of at least lower electrode 8 of the above-described capacitor element from ReO_3 since ReO_3 has a low resistance value of approximately $10^{-5}\Omega\text{cm}$.

[0043] (4) Since ferroelectric 9 can be reduced in film fatigue and increased in residual polarization in the above-described capacitor element, the information writing characteristics can be improved, and since adequate information can be written at a low information write voltage, a low consumption power can be realized.

[0044] Application Examples

With this invention, in the non-volatile memory element M of the above-described non-volatile memory device, a ferroelectric, comprising PbTiO_3 , may be used in place of PZT as ferroelectric 9. Furthermore with this invention, a laminated dielectric of either $\text{SrBi}_2\text{Ta}_2\text{O}_9$ or $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ may be used as ferroelectric 9.

[0045] Furthermore, this invention may be applied to a pyroelectric type infrared sensor that makes use of a ferroelectric material and the pyroelectric effect. This invention may also be applied to a pressure sensor that makes use of a ferroelectric material and the piezoelectric effect. For both a pyroelectric type infrared sensor and a pressure sensor, an electrode for ferroelectric that forms a laminated structure with the ferroelectric material is formed from ReO_3 .

[0046]

[Effect(s) of the Invention] By this invention, an electrode for ferroelectric can be provided with which the occurrence of film fatigue due to repeated polarization reversal of a ferroelectric can be reduced and the reduction of the residual polarization of the ferroelectric can be prevented.

[0047] Furthermore, by this invention, the information writing characteristics of a non-volatile memory element can be improved and a non-volatile memory element can be provided with which low power consumption can be realized.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1] A sectional structural diagram of a non-volatile memory according to an embodiment of this invention.

[Fig. 2] A crystal structure diagram of an electrode of a capacitor element in a non-volatile memory element equipped

in the abovementioned non-volatile memory.

[Fig. 3] A crystal structure diagram of the ferroelectric of the abovementioned capacitor element.

[Fig. 4] A crystal diagram of the laminated part of the electrode and ferroelectric of the abovementioned capacitor element.

[Description of the Symbols]

1 substrate, 1A channel forming region, 2 gate insulator, 3 control electrode, 4 semiconductor region, 8 lower electrode, 9 ferroelectric, 10 upper electrode, M non-volatile memory element

[Fig. 4]

Field E

c-axis

One crystal unit

One crystal unit

A site

B site

A site

B site

A site

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 1 8 9 8 8 7

(43) 公開日 平成10年(1998)7月21日

(51) Int. Cl.[°]
 H 0 1 L 27/10 識別記号
 27/04 4 5 1
 21/822
 27/108
 21/8242

F I

H 0 1 L 27/10 4 5 1
 27/04 C
 27/10 6 5 1
 29/78 3 7 1

審査請求 未請求 請求項の数 7

O L

(全 6 頁) 最終頁に続く

(21) 出願番号 特願平8-349666

(22) 出願日 平成8年(1996)12月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 金田 和博

大阪府守口市京阪本通2丁目5番5号 三洋
電機株式会社内

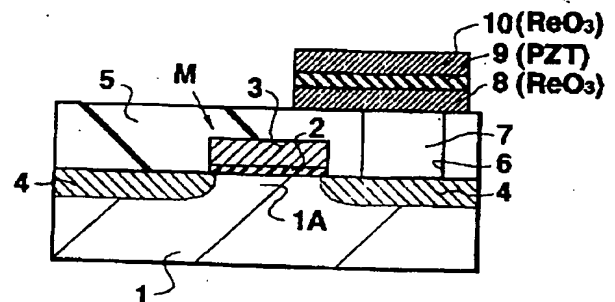
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 強誘電体用電極及びそれを使用した強誘電体デバイス

(57) 【要約】

【課題】 強誘電体の分極反転の繰り返しで発生する膜疲労が減少でき、強誘電体の残留分極の減少が防止できる強誘電体用電極の提供。不揮発性記憶素子の情報書き込み特性が向上でき、低消費電力化が実現できる不揮発性記憶装置の提供。

【解決手段】 強誘電体 9 と積層構造をなす強誘電体用電極（下層電極 8 又は上層電極 10）が、強誘電体 9 の結晶構造と実質的に同一結晶構造を有し、かつ導電性を有する酸化物で形成される。具体的には ReO_3 が使用される。 ReO_3 は A サイトに空孔が存在する結晶構造で、 ReO_3 の空孔に強誘電体の金属イオンが入り込む。



【特許請求の範囲】

【請求項1】 ペロブスカイト結晶構造を有する強誘電体と積層構造を形成する強誘電体用電極において、前記強誘電体のペロブスカイト結晶構造と実質的に同一結晶構造を有し、かつ導電性を有する酸化物で形成されたことを特徴とする強誘電体用電極。

【請求項2】 前記請求項1に記載された強誘電体用電極において、

ABO₃結晶構造のAサイトの位置に空孔がある結晶構造を有することを特徴とする強誘電体用電極。

【請求項3】 前記請求項1に記載された強誘電体用電極において、

多結晶状態又は単結晶状態のReO₃で形成されることを特徴とする強誘電体用電極。

【請求項4】 ペロブスカイト結晶構造を有する強誘電体と、

前記強誘電体のペロブスカイト結晶構造と実質的に同一結晶構造を有し、導電性を有する酸化物で形成された強誘電体用電極と、

を備え、

前記強誘電体用電極、この強誘電体用電極上に積層される強誘電体及びこの強誘電体上に積層される電極で形成される素子を搭載したことを特徴とする強誘電体デバイス。

【請求項5】 前記請求項4に記載された強誘電体デバイスにおいて、

前記強誘電体用電極、強誘電体、強誘電体用電極を順次積層した素子を搭載したことを特徴とする強誘電体デバイス。

【請求項6】 前記請求項4又は請求項5に記載された強誘電体デバイスにおいて、

前記強誘電体には、PZT、PbTiO₃、BaTiO₃のいずれかの強誘電体、又はSrBi₂Ta₂O₉、Bi₄Ti₃O₁₂のいずれかの層状誘電体が使用され、前記強誘電体用電極には、多結晶状態又は単結晶状態のReO₃が使用されることを特徴とする強誘電体デバイス。

【請求項7】 前記請求項6に記載された強誘電体デバイスにおいて、

前記素子は情報記憶部として使用される容量素子であることを特徴とする強誘電体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は強誘電体用電極及びそれを使用した強誘電体デバイスに関する。特に本発明は、不揮発性記憶素子の情報記憶部に使用される強誘電体と積層構造を形成する強誘電体用電極、及びこの強誘電体と強誘電体用電極とを積層して形成した不揮発性記憶素子を搭載する強誘電体デバイスに関する。

【0002】

【従来の技術】 不揮発性記憶素子の情報記憶部に強誘電体を利用した不揮発性記憶装置の開発が行われている。代表的な不揮発性記憶素子としては、例えばFeRAM (Ferroelectric Random Access Memory) 構造を採用する不揮発性記憶素子が知られている。

【0003】 FeRAM構造を採用する不揮発性記憶素子はスイッチング素子と情報記憶部を構成する容量素子との直列回路で形成した1トランジスタ/1キャパシタ構造で形成される。前記スイッチング素子はチャンネル形成領域、絶縁体(ゲート絶縁体)、制御電極(ゲート電極)、ソース領域及びドレイン領域として使用する一対の半導体領域を備える。容量素子は下層電極、強誘電体、上層電極のそれぞれを備え、この下層電極、強誘電体、上層電極のそれぞれは順次積層される。

【0004】 前記容量素子の強誘電体は、残留分極を有し、電源を切っても記憶内容が失われない特徴を備える。さらに、強誘電体の採用により低電圧動作が実現できるので、不揮発性記憶素子の低消費電力化が促進できる。強誘電体には一般にPZT(チタンジルコン酸鉛: PbZr_xTi_{1-x}O₃)が使用される。

【0005】 前記容量素子の特に強誘電体の下地膜となる下層電極にはPtの単層薄膜、又はPtとTiとを積層した複合薄膜が使用される。この電極材料のPtはSi基板(半導体基板)又は層間絶縁膜として使用されるSiO₂薄膜の表面上に堆積される。製造プロセスにおいてスパッタ法でPtを堆積した場合、Ptは(111)配向しやすい。(111)配向を有するPt上に形成される強誘電体は配向しやすくなり、配向を有する強誘電体は大きな残留分極を持つので、情報書き込み特性が向上できる。さらに、Ptは貴金属であり基本的に酸化しないので、強誘電体と下層電極との間にPtの酸化物からなる常誘電体が形成されない。つまり、Ptは、強誘電体と下層電極との間の界面付近に容量素子全体の実質的なキャパシタンスを減少させる常誘電体が形成されない特徴を備える。

【0006】

【発明が解決しようとする課題】 不揮発性記憶装置に搭載された不揮発性記憶素子において、容量素子の下層電極にPtの単層薄膜又はPtを含む複合薄膜が使用される場合には前述のように優れた特徴がある。しかしながら、情報書き換え動作を繰り返し行い、強誘電体の分極反転を繰り返し行うことにより強誘電体の残留分極の大きさが減少する膜疲労が発生する。強誘電体の膜疲労は容量素子の電極間に繰り返し印加される電界に起因し強誘電体と下層電極との間の界面であってPt表面に不要物質が析出する、ことが原因であると本願発明者は考察している。Pt表面に析出する不要物質としては、強誘電体の組成物質であるPbイオン、Si基板やSiO₂薄膜の組成物質であるSiイオン、SiO₂薄膜のOイオン、及びこれらのイオンで構成される化合物が考えら

れる。すなわち、時間の経過とともに容量素子の情報書込み特性が劣化する。

【0007】本発明は前述の課題を解決するためになされたものである。

【0008】従って、本発明の目的は、強誘電体の分極反転の繰返しで発生する膜疲労を減少し、強誘電体の残留分極の減少が防止できる強誘電体用電極を提供することにある。

【0009】さらに、本発明の目的は、不揮発性記憶素子の容量素子に強誘電体用電極を使用し、情報書込み特性を向上しつつ、低消費電力化が実現できる不揮発性記憶装置を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために、請求項1に記載された発明は、ペロブスカイト結晶構造を有する強誘電体と積層構造を形成する強誘電体用電極が、前記強誘電体のペロブスカイト結晶構造と実質的に同一結晶構造を有し、かつ導電性を有する酸化物で形成されたことを特徴とする。

【0011】請求項1に記載された発明においては、前記強誘電体用電極は酸化物で形成され、酸化物中には安定な状態で酸素が存在するので、強誘電体との間の界面付近であって強誘電体用電極の表面には酸素の析出がなくなる。この結果、前記酸素の析出に起因して前記界面に常誘電体（不要物質）が生成されなくなるので、強誘電体の分極反転の繰返しで発生する膜疲労が減少し、強誘電体の残留分極の実効的な減少が防止できる。さらに、前記強誘電体用電極は強誘電体のペロブスカイト結晶構造と実質的に同一結晶構造で形成されるので、強誘電体用電極上に強誘電体を結晶成長する場合、強誘電体上に強誘電体用電極を結晶成長する場合のいずれにおいても下地の結晶性を維持した状態で結晶成長が行える。

【0012】請求項2に記載された発明は、前記請求項1に記載された強誘電体用電極が、 ABO_3 結晶構造のAサイトの位置に空孔がある結晶構造を有することを特徴とする。

【0013】請求項2に記載された発明においては、前記強誘電体用電極の結晶構造が完全なペロブスカイト結晶構造ではなく ABO_3 結晶構造のAサイトの位置に空孔がある結晶構造で形成されるので、強誘電体用電極の強誘電体側の最端表面に位置する結晶ユニットの空孔に強誘電体の強誘電体用電極側の最端表面に位置する結晶ユニットの金属原子が入り込む。強誘電体にPZTが使用される場合には、結晶ユニットの空孔にPZTのPb原子が入り込む。つまり、強誘電体用電極と強誘電体との間が原子的に結合をなすので、強誘電体用電極と強誘電体との間の接合強度が向上できる。さらに、強誘電体用電極と強誘電体との間が原子的に結合され、強誘電体用電極から強誘電体へ、又は逆に強誘電体から強誘電体用電極への結晶性の情報が伝達されるので、相互にペロ

ブスカイト結晶構造、ペロブスカイト結晶構造と実質的に同一結晶構造のそれぞれの結晶成長が容易に行える。

【0014】請求項3に記載された発明は、前記請求項1に記載された強誘電体用電極が、多結晶状態又は単結晶状態の ReO_3 で形成されることを特徴とする。

【0015】前記請求項3に記載された発明においては、強誘電体用電極が ReO_3 で形成され、 ReO_3 は室温において $10^{-2}\Omega\text{cm}$ 程度の低抵抗値を有するので、信号伝達速度の高速化が図れる。

10 【0016】請求項4に記載された発明は、強誘電体デバイスにおいて、ペロブスカイト結晶構造を有する強誘電体と、前記強誘電体のペロブスカイト結晶構造と実質的に同一結晶構造を有し、導電性を有する酸化物で形成された強誘電体用電極と、を備え、前記強誘電体用電極、この強誘電体用電極上に積層される強誘電体及びこの強誘電体上に積層される電極で形成される素子を搭載したことを特徴とする。

20 【0017】請求項4に記載された発明においては、前記請求項1に記載された発明に係る強誘電体用電極で得られる作用効果に加え、前記素子において強誘電体の膜疲労が減少し残留分極が大ききできる。特に素子として強誘電体用電極と電極との間に強誘電体を介在した容量素子においては、残留分極が大ききできるので、情報書込み特性が向上でき、かつ低電圧の情報書込み電圧で十分な情報が書込めるので、低消費電力化が実現できる。

【0018】請求項5に記載された発明は、前記請求項4に記載された強誘電体デバイスにおいて、前記強誘電体用電極、強誘電体、強誘電体用電極を順次積層した素子を搭載したことを特徴とする。

30 【0019】請求項6に記載された発明は、前記請求項4又は請求項5に記載された強誘電体デバイスにおいて、前記強誘電体には、 PZT 、 $PbTiO_3$ 、 $BaTiO_3$ のいずれかの強誘電体、又は $SrBi_2Ta_2O_{10}$ 、 $Bi_4Ti_3O_{12}$ のいずれかの層状誘電体を使用され、前記強誘電体用電極には、多結晶状態又は単結晶状態の ReO_3 が使用されることを特徴とする。

40 【0020】請求項7に記載された発明は、前記請求項6に記載された強誘電体デバイスにおいて、前記素子は情報記憶部として使用される容量素子であることを特徴とする。

【0021】

50 【発明の実施の形態】以下、本発明の実施の形態について説明する。図1は本発明の実施形態に係るFeRAM構造を採用する不揮発性記憶素子（メモリセル）を搭載した不揮発性記憶装置の断面構造図である。不揮発性記憶装置は基板1で形成され、不揮発性記憶素子Mは基板1の主面に形成される。基板1は本実施形態において単結晶Si基板が使用され、このSi基板はp型不純物が導入されたp型に設定される。不揮発性記憶素子Mはスイッチング素子（スイッチングトランジスタ）と容量素

子との直列回路で形成した1トランジスタ/1キャパシタ構造で形成される。容量素子は情報記憶部として機能する。

【0022】前記不揮発性記憶素子Mのスイッチング素子はチャネル形成領域1A、ゲート絶縁体2、制御電極（ゲート電極）3、ソース領域及びドレイン領域として使用される一対の半導体領域4を備える。

【0023】チャネル形成領域1Aは基板1の主面近傍部分に形成される。ゲート絶縁体2は少なくともチャネル形成領域1Aの表面上に形成される。ゲート絶縁体2は例えばSiO₂薄膜で形成される。

【0024】制御電極3はゲート絶縁体2の表面上に形成される。制御電極3は例えば多結晶Si薄膜、シリサイド薄膜、高融点金属薄膜のいずれかの単層膜、又は多結晶Si薄膜上にシリサイド薄膜若しくは高融点金属薄膜を積層した複合膜で形成される。すなわち、制御電極3はいわゆるゲート材料で形成される。図示しないが、制御電極3は、チャネル幅方向と同一方向に延在するワード線と同一ゲート材料で形成されるとともに、このワード線と電気的に接続される。

【0025】ソース領域及びドレイン領域として使用する一対の半導体領域4は、制御電極3のチャネル長方向の両側であって、基板1の主面部に形成される。それぞれの半導体領域4はn型不純物が導入されたn型に設定される。すなわち、スイッチング素子はnチャネル導電型トランジスタ(MISFET: Metal Insulator Field Effect Transistor)で形成される。

【0026】前記スイッチング素子上にはこのスイッチング素子と容量素子との間を電気的に分離する層間絶縁膜5が形成される。層間絶縁膜5は本実施形態においてSiO₂膜、Si₃N₄膜のいずれかの単層膜、又はSiO₂膜、Si₃N₄膜のそれぞれを組み合わせた複合膜で形成される。前記スイッチング素子の一方の半導体領域4上において、前記層間絶縁膜5には接続孔6が形成される。接続孔6内には一方の半導体領域4と容量素子の下層電極8との間を電気的に接続する接続孔配線7が形成される。接続孔配線7は例えばW、TiW、WSi₂、TiN等の低抵抗値を有し高融点金属若しくは高融点金属を主成分とする材料で形成される。また、接続孔配線7にはPがドーパされ低抵抗化された多結晶Si膜が使用できる。

【0027】また、図示しないが、スイッチング素子の他方の半導体領域4には、データ線（ビット線）が電気的に接続される。

【0028】前記容量素子は下層電極8、強誘電体9、上層電極10のそれぞれを順次積層した積層構造で構成される。

【0029】容量素子の下層電極8は層間絶縁膜5の表面上に形成され、この下層電極8は接続孔配線7を通してスイッチング素子の一方の半導体領域4に電気的に接

続される。本実施形態において下層電極8は強誘電体用電極として形成され、この強誘電体用電極にはReO₃薄膜が使用される。このReO₃は、導電性を有し、酸素原子が安定な状態で入っている酸化物である。

【0030】ReO₃に類似する酸化物にはRe₂O₇、ReO₂のそれぞれが知られている。Re₂O₇は酸素原子が最も多い結晶構造であるが、Re₂O₇は絶縁体であり電極材料には使用できない。ReO₂は導電性を有するが、ReO₂の抵抗値はReO₃に比べて大きく信号伝達速度の高速化には適していない。ReO₃は半導体デバイスで配線材料として使用されるAl-Cu配線の抵抗値10⁻⁸Ωcmに匹敵する10⁻⁵Ωcmの低抵抗値を有する。また、後述するが、ReO₃の結晶構造はペロブスカイト結晶構造に類似した結晶構造であり、ReO₂の結晶構造はルチル結晶構造であるので、ReO₂、ReO₃のそれぞれの結晶構造は基本的に異なる。

【0031】図2は前記下層電極8であり強誘電体用電極として使用されるReO₃の1結晶ユニットを示す結晶構造図である。ReO₃は、Aサイトの位置が空孔で、Bサイトの位置に6価のプラスReイオンが存在するABO₃結晶構造を有する。このReO₃の最大の特徴は、Aサイトの位置が空孔であることと、Reイオンを取り囲む6個の酸素原子により形成される酸素8面体を有し、後述する強誘電体9の結晶構造であるペロブスカイト結晶構造と実質的に同一結晶構造を有することである。なお、下層電極8は基本的には単結晶状態で形成されるが、多結晶状態で形成することもできる。

【0032】前記容量素子の強誘電体9は下層電極（強誘電体用電極）8の表面上に形成される。本実施形態において、強誘電体9にはPZT薄膜、或いはPbTiO₃薄膜が使用される。

【0033】図3は強誘電体9であるPbTiO₃の1結晶ユニットを示す結晶構造図である。PbTiO₃は、イオン結晶体であり、Aサイトに2価のプラスPbイオンが存在し、Bサイトに4価のプラスTiイオンが存在する。このPbTiO₃の最大の特徴はTiイオンを取り囲む酸素8面体を有するペロブスカイト結晶構造を有することである。Aサイト又はBサイトが格子点からシフトすることにより残留分極（自発分極）が生じ、残留分極の大きさはイオンの種類により異なる。前記強誘電体9は、PbTiO₃の場合において常温で約50μC/cm²程度の高い残留分極を有する。本実施形態において、強誘電体9は基本的には単結晶状態で形成される。なお、強誘電体9は多結晶状態で形成してもよい。

【0034】図4は前記下層電極8と強誘電体9との間の積層状態を原子レベルで示す結晶構造図である。下層電極8の強誘電体9側の最端に位置するReO₃の結晶ユニットにおいて、Aサイトの位置に存在する空孔に

は、強誘電体9の下層電極8側の最端に位置する $PbTiO_3$ の結晶ユニットの Pb イオンが入り込む。つまり、 ReO_3 の結晶ユニットと $PbTiO_3$ の結晶ユニットとの間には、 $PbTiO_3$ の Pb イオンをAサイトにおいて互いに共有することにより相互に結合される。従って、下層電極8と強誘電体9との間の接着力は強固になる。

【0035】さらに、強誘電体9である $PbTiO_3$ はペロブスカイト結晶構造を有し、 ReO_3 はAサイトの位置が空孔であるが酸素8面体を有し $PbTiO_3$ と実質的に同一結晶構造を有するので、MOCVD (Metalorganic CVD) 法により $PbTiO_3$ が ReO_3 の表面上に連続的に結晶成長できる。

【0036】さらに、 $PbTiO_3$ の結晶ユニットにおいてa軸方向の格子定数は3.9Åであり、 ReO_3 の結晶ユニットにおいてa軸方向の格子定数は3.7Åであるので、双方の格子定数が類似しており、 ReO_3 の結晶性に従って $PbTiO_3$ の結晶成長が行える。しかも、a軸方向の格子定数が互いに類似しているので、 ReO_3 の表面上に結晶成長させた $PbTiO_3$ の結晶ユニットは下層電極8と上層電極10との間に印加される電界Eの方向と一致する方向にc軸配向しやすくなる。 $PbTiO_3$ の結晶ユニットが電界Eの方向と一致する方向にc軸配向すると、大きな残留分極が得られる。

【0037】さらに、下層電極8と強誘電体9との間の界面部分においては、 ReO_3 のAサイトの位置に存在する空孔に、 $PbTiO_3$ のAサイトの位置に存在する Pb イオンが入り込むので、 ReO_3 の結晶構造の情報が $PbTiO_3$ の結晶構造に伝達され、 ReO_3 の表面上に ReO_3 の結晶性に従って $PbTiO_3$ の結晶成長が行える。

【0038】容量素子の上層電極10は強誘電体9の表面上に形成される。上層電極10は本実施形態において下層電極8と同様に強誘電体用電極としての ReO_3 で形成される。 ReO_3 の表面上に $PbTiO_3$ の結晶成長を行う場合と同様に、 $PbTiO_3$ の表面上にスパッタ法により ReO_3 の結晶成長が行える。なお、上層電極10は基本的には強誘電体9の結晶成長の下地にならないので、必ずしも強誘電体用電極として、つまり ReO_3 で形成する必要はない。

【0039】このように構成される不揮発性記憶素子Mを搭載した不揮発性記憶装置においては、以下の作用効果が得られる。

【0040】(1) 不揮発性記憶素子Mの容量素子において、少なくとも下層電極8が強誘電体用電極としてペロブスカイト結晶構造と実質的に同一結晶構造を有し、かつ導電性を有する酸化物で形成されることにより、酸化物中には安定な状態で酸素が存在するので、強誘電体9との間の界面付近であって下層電極8の表面には酸素の析出がなくなる。この結果、前記酸素の析出に起因し

て前記界面に常誘電体(不要物質)が生成されなくなるので、強誘電体9の分極反転の繰返しで発生する膜疲労が減少し、強誘電体9の残留分極の実効的な減少が防止できる。さらに、前記下層電極8は強誘電体9のペロブスカイト結晶構造と実質的に同一結晶構造で形成されるので、下層電極8の表面上に強誘電体9を結晶成長する場合には下地の結晶性を維持した状態で結晶成長が行える。上層電極10が下層電極8と同様の材料で形成される場合には、下地の結晶性を維持した状態で強誘電体9の表面上に上層電極(強誘電体用電極)10の結晶成長が行える。

【0041】(2) 前記容量素子の少なくとも下層電極8が ABO_3 結晶構造のAサイトの位置に空孔がある結晶構造で形成されることにより、下層電極8の強誘電体9側の最端表面に位置する結晶ユニットの空孔に強誘電体9の下層電極8側の最端表面に位置する結晶ユニットの金属原子が入り込む。この結果、下層電極8と強誘電体9との間が原子的に結合をなすので、下層電極8と強誘電体9との間の接合強度が向上できる。さらに、下層電極8と強誘電体9との間が原子的に結合され、下層電極8から強誘電体9に結晶性の情報が伝達されるので、ペロブスカイト結晶構造、ペロブスカイト結晶構造と実質的に同一結晶構造のそれぞれの連続的な結晶成長が容易に行える。

【0042】(3) 前記容量素子の少なくとも下層電極8が ReO_3 で形成されることにより、 ReO_3 は室温において $10^{-4}\Omega\text{cm}$ 程度の低抵抗値を有するので、信号伝達速度の高速化が図れる。

【0043】(4) 前記容量素子においては強誘電体9の膜疲労が減少でき残留分極が大ききできるので、情報書き込み特性が向上でき、かつ低電圧の情報書き込み電圧で十分な情報が書込めるので、低消費電力化が実現できる。

【0044】応用例

本発明は、前記不揮発性記憶装置の不揮発性記憶素子Mにおいて、強誘電体9としてPZTの他に $PbTiO_3$ からなる強誘電体を使用できる。さらに、本発明は、強誘電体9として $SrBi_2Ta_2O_{12}$ 、 $Bi_4Ti_3O_{12}$ のいずれかの層状誘電体を使用できる。

【0045】さらに、本発明は、強誘電体材料を利用し焦電効果を利用する焦電型赤外線センサに適用できる。さらに、本発明は、強誘電体材料を利用し圧電効果を利用する圧力センサに適用できる。焦電型赤外線センサ、圧力センサのいずれの場合においても、強誘電体材料と積層構造をなす強誘電体用電極が ReO_3 で形成される。

【0046】

【発明の効果】本発明においては、強誘電体の分極反転の繰返しで発生する膜疲労が減少でき、強誘電体の残留分極の減少が防止できる強誘電体用電極が提供でき

る。

【0047】さらに、本発明においては、不揮発性記憶素子の情報書き込み特性が向上でき、低消費電力化が実現できる不揮発性記憶装置が提供できる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る不揮発性記憶装置の断面構造図である。

【図2】 前記不揮発性記憶装置に搭載された不揮発性記憶素子における容量素子の電極の結晶構造図である。

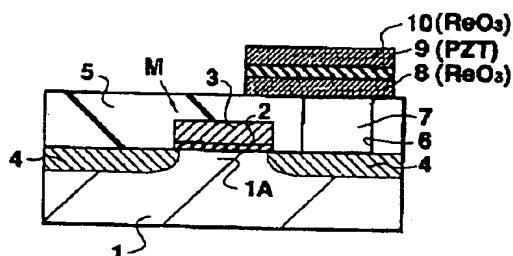
【図3】 前記容量素子の強誘電体の結晶構造図である。

【図4】 前記容量素子の電極と強誘電体との積層部分の結晶構造図である。

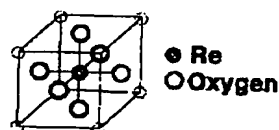
【符号の説明】

1 基板、1A チャンネル形成領域、2 ゲート絶縁体、3 制御電極、4 半導体領域、8 下層電極、9 強誘電体、10 上層電極、M 不揮発性記憶素子。

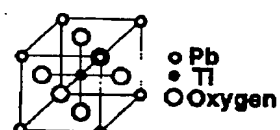
【図1】



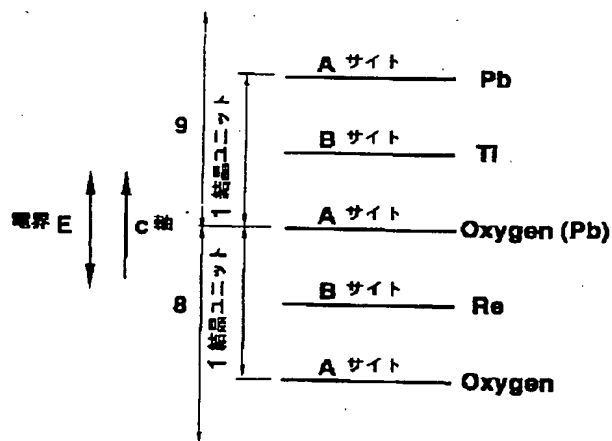
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H O 1 L 21/8247

29/788

29/792